

09/940.491

(19)



JAPANESE PATENT OFFICE

JPA10-229495

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10229495 A**(43) Date of publication of application: **25.08.98**

(51) Int. Cl.

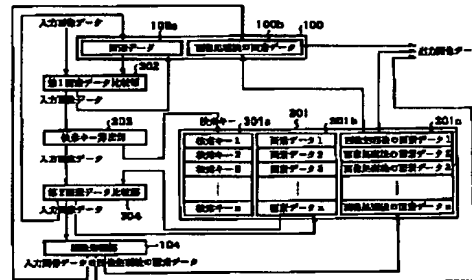
H04N 1/405**G06T 5/00****G09G 5/00****H04N 1/21**(21) Application number: **09030891**(71) Applicant: **CANON INC**(22) Date of filing: **14.02.97**(72) Inventor: **SUMIUCHI KAZUYOSHI**(54) **IMAGE PROCESSOR AND METHOD THEREOF**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an image processor and method in which image processing is conducted at a high speed, even with respect to image data in which a plurality of same consecutive pixel data rarely take place.

SOLUTION: Pixel data of received multi-value image data and pixel data stored in a cache buffer (pixel) 100 are compared, and when there are matching picture element data, processed pixel data 100b corresponding to them are outputted. On the other hand, when it is discriminated that there is no pixel data matching the data in the cache buffer 100, any of pixel data group 101a stored in a cache buffer (n pixels) 101 is compared with the input pixel data, and when they match, the processed pixel data corresponding to the pixel data are read from the corresponding processed image data group 101b and outputted, and the input pixel data are processed by an image-processing section 104 when the data do not match with any of the cache buffers 100, 101, and the processed pixel data are outputted.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229495

(43) 公開日 平成10年(1998) 8月25日

(51) Int. Cl.⁶
H04N 1/405
G06T 5/00
G09G 5/00
H04N 1/21

識別記号

520

F I

H04N 1/40 B
G09G 5/00 520 V
H04N 1/21
G06F 15/68 310 J

審査請求 未請求 請求項の数20 O L (全9頁)

(21) 出願番号 特願平9-30891

(22) 出願日 平成9年(1997) 2月14日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 隅内 一芳

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

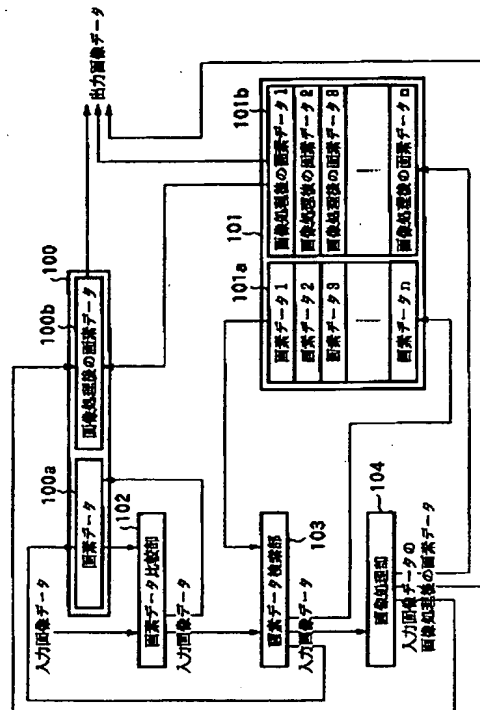
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 画像処理装置及び方法

(57) 【要約】

【課題】 同じ画素データが複数連続することが少ない画像データに対しても、高速に画像処理を行うことが可能な画像処理装置及び方法を提供する。

【解決手段】 入力した多値画像データの画素データと、キャッシュバッファ(ピクセル)100に記憶された画素データとを比較し、一致する画素データがあればそれに対応する処理済み画素データ100bを出力する。一方、このキャッシュバッファ100に一致する画素データがないと判定すると、キャッシュバッファ(nピクセル)101に記憶された画素データ群101aのいずれかと入力画素データとを比較し、一致するときは、その画素データに対応する処理済み画素データを、対応する処理済み画像データ群101bより読み出して出力し、これらキャッシュバッファ100、101のいずれでも一致しないと判定されるとその入力画素データを画像処理部104で処理して処理済み画素データとして出力する。



【特許請求の範囲】

【請求項 1】 多値画像データを入力して画素単位に処理する画像処理装置であって、
入力した多値画像データの画素データに対して画像処理を施す画像処理手段と、

ある画素データと当該画素データを前記画像処理手段で処理した処理済み画素データとを対応付けて記憶する第 1 記憶手段と、

画素データと当該画素データを前記画像処理手段で処理した処理済み画素データとを対応付けた複数組のデータを記憶する第 2 記憶手段と、

前記入力した多値画像の入力画素データと前記第 1 記憶手段に記憶された画素データとを比較する第 1 比較手段と、

前記第 1 比較手段により一致しないと判定されると、前記第 2 記憶手段に記憶された画素データと前記入力画素データとを比較する第 2 比較手段と、

前記第 1 或は第 2 比較手段の比較により一致すると判定した画素データに対応する処理済み画素データを、対応する第 1 或は第 2 記憶手段より読み出して出力し、前記第 1 及び第 2 比較手段の比較のいずれでも一致しないと判定されると前記入力画素データを前記画像処理手段により処理して処理済み画素データとして出力するように制御する制御手段と、を有することを特徴とする画像処理装置。

【請求項 2】 前記第 1 記憶手段は、1 つの画素データと当該画素データに対応する処理済み画素データとを対応付けて記憶することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】 前記第 2 比較手段により一致すると判定されると、その一致した入力画素データと当該入力画素データに対応する処理済み画素データとを前記第 1 記憶手段に記憶する記憶制御手段を更に有することを特徴とする請求項 1 又は 2 に記載の画像処理装置。

【請求項 4】 前記制御手段は、更に、前記画像処理手段より出力される前記入力画素データと当該入力画素データの前記処理済み画素データとを対応付けて前記第 1 及び第 2 記憶手段の少なくともいずれかに記憶することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 5】 前記第 2 記憶手段は、画素データと当該画素データに対応する処理済み画素データとの組に対応する検索キー情報を記憶することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 6】 前記第 2 比較手段は、入力画素データから前記第 2 記憶手段に記憶された画素データを検索キーするための検索キー情報を求める検索キー算出手段を備えることを特徴とする請求項 5 に記載の画像処理装置。

【請求項 7】 多値画像データを入力して画素単位に処理する画像処理方法であって、
入力した多値画像の入力画素データと第 1 のキャッシュ

バッファに記憶された画素データとを比較する第 1 比較工程と、

前記第 1 比較工程で一致しないと判定されると、第 2 のキャッシュバッファに記憶された画素データと前記入力画素データとを比較する第 2 比較工程と、

前記第 1 或は第 2 比較工程での比較により一致すると判定した画素データに対応する処理済み画素データを、対応する第 1 或は第 2 のキャッシュバッファより読み出して出力する工程と、

前記第 1 及び第 2 比較工程における比較のいずれでも一致しないと判定されると前記入力画素データを画像処理部により処理して処理済み画素データとして出力する工程と、を有することを特徴とする画像処理方法。

【請求項 8】 前記第 1 のキャッシュバッファは、1 つの画素データと当該画素データを前記画像処理部で処理した処理済み画素データとを対応付けて記憶していることを特徴とする請求項 7 に記載の画像処理方法。

【請求項 9】 前記第 2 のキャッシュバッファは、画素データと当該画素データを前記画像処理部で処理した処理済み画素データとを対応付けた複数組のデータを記憶していることを特徴とする請求項 7 に記載の画像処理方法。

【請求項 10】 前記第 2 比較工程で一致すると判定されると、その一致した入力画素データと当該入力画素データに対応する処理済み画素データとを前記第 1 のキャッシュバッファに記憶する工程を更に有することを特徴とする請求項 7 乃至 9 のいずれか 1 項に記載の画像処理装置。

【請求項 11】 前記画像処理部より出力される前記入力画素データと当該入力画素データの前記処理済み画素データとを対応付けて前記第 1 及び第 2 のキャッシュバッファの少なくともいずれかに記憶する工程を更に有することを特徴とする請求項 7 に記載の画像処理方法。

【請求項 12】 前記第 2 のキャッシュバッファは、画素データと当該画素データに対応する処理済み画素データとの組に対応する検索キー情報を記憶することを特徴とする請求項 7 に記載の画像処理方法。

【請求項 13】 前記第 2 比較工程は、入力画素データから前記第 2 のキャッシュバッファに記憶された画素データを検索キーするための検索キー情報を求める検索キー算出工程を含むことを特徴とする請求項 12 に記載の画像処理方法。

【請求項 14】 多値画像データを入力して画素単位に処理する画像処理方法を実行するプログラムを記憶したコンピュータにより読取り可能な記憶媒体であって、
入力した多値画像の入力画素データと第 1 のキャッシュバッファに記憶された画素データとを比較する第 1 比較工程モジュールと、

前記第 1 比較工程モジュールで一致しないと判定されると、第 2 のキャッシュバッファに記憶された画素データ

と前記入力画素データとを比較する第2比較工程モジュールと、

前記第1或は第2比較工程モジュールでの比較により一致すると判定した画素データに対応する処理済み画素データを、対応する第1或は第2のキャッシュバッファより読み出して出力する工程モジュールと、

前記第1及び第2比較工程モジュールにおける比較のいずれでも一致しないと判定されると前記入力画素データを画像処理部により処理して処理済み画素データとして出力する工程モジュールと、を有することを特徴とする記憶媒体。

【請求項15】 前記第1のキャッシュバッファは、1つの画素データと当該画素データを前記画像処理部で処理した処理済み画素データとを対応付けて記憶していることを特徴とする請求項14に記載の記憶媒体。

【請求項16】 前記第2のキャッシュバッファは、画素データと当該画素データを前記画像処理部で処理した処理済み画素データとを対応付けた複数組のデータを記憶していることを特徴とする請求項14に記載の記憶媒体。

【請求項17】 前記第2比較工程モジュールで一致すると判定されると、その一致した入力画素データと当該入力画素データに対応する処理済み画素データとを前記第1のキャッシュバッファに記憶する工程モジュールを更に有することを特徴とする請求項14乃至16のいずれか1項に記載の記憶媒体。

【請求項18】 前記画像処理部より出力される前記入力画素データと当該入力画素データの前記処理済み画素データとを対応付けて前記第1及び第2のキャッシュバッファの少なくともいずれかに記憶する工程モジュールを更に有することを特徴とする請求項14に記載の記憶媒体。

【請求項19】 前記第2のキャッシュバッファは、画素データと当該画素データに対応する処理済み画素データとの組に対応する検索キー情報を記憶することを特徴とする請求項14に記載の記憶媒体。

【請求項20】 前記第2比較工程モジュールは、入力画素データから前記第2のキャッシュバッファに記憶された画素データを検索キーするための検索キー情報を求める検索キー算出工程モジュールを含むことを特徴とする請求項19に記載の記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多値画像データを入力して画素単位に処理する画像処理装置及び方法に関するものである。

【0002】

【従来の技術】 複数画素からなる多値画像データの各画素に対して画像処理を行う画像処理装置として、その画像処理の対象となっている画素データの直前の入力画素

データと、その入力画素データに画像処理を施した処理済み画素データとの組合せをキャッシュメモリに記憶しておき、入力した多値画像データの各画素データに等しい画素データが、そのキャッシュメモリに記憶されているかを調べ、記憶されていると、それに対応する処理済み画素データをそのキャッシュメモリより読み出し、処理済みの画素データとして出力する画像処理装置が提案されている。

【0003】

【発明が解決しようとする課題】 しかしながら、このような従来のキャッシング方法では、例えば、低解像度の画像データを高解像度の画像データに変換したような画像データの場合では、同じ画素データが複数連続して出現するため、そのキャッシュメモリにおけるヒット率が増大し、画素データの画像処理における高速化を図ることができる。これに対し、例えば高解像度の画像データのように、同じ画素データがほとんど連続しないような画像データの場合には、キャッシングされている画素データがヒットする割合が極めて低く、画素データが入力される度に、新たにその画素データに対する画像処理が行なわれてしまうことになり、画像処理の高速化を実現するための大きな障害となっていた。

【0004】 本発明は上記従来例に鑑みてなされたもので、同じ画素データが複数連続することが少ない画像データに対しても、高速に画像処理を行うことが可能な画像処理装置及び方法を提供することを目的とする。

【0005】 本発明の目的は、直前の画素データと、その画素データに対応する処理済み画素データとを対応付けて記憶し、更にそれ以前に一致した或は画像処理された画素データと処理済み画素データとを対応付けた複数組のデータとを記憶しておき、それら2種類の対応付けデータに基づいて、入力画素データに該当する処理済みデータを探すことにより、ヒット率を高めてより高速に画像処理を行うことができる画像処理装置及び方法を提供することにある。

【0006】 また本発明の目的は、更に、それ以前に一致した或は画像処理された画素データと処理済み画素データとを対応付けた複数組のデータを、その検索キーに対応付けて記憶しておくことにより、その検索に要する時間を短縮できる画像処理装置及び方法を提供することにある。

【0007】

【課題を解決するための手段】 上記目的を達成するために本発明の画像処理装置は以下のような構成を備える。即ち、多値画像データを入力して画素単位に処理する画像処理装置であって、入力した多値画像データの画素データに対して画像処理を施す画像処理手段と、ある画素データと当該画素データを前記画像処理手段で処理した処理済み画素データとを対応付けて記憶する第1記憶手段と、画素データと当該画素データを前記画像処理手段

で処理した処理済み画素データとを対応付けた複数組のデータを記憶する第2記憶手段と、前記入力した多値画像の入力画素データと前記第1記憶手段に記憶された画素データとを比較する第1比較手段と、前記第1比較手段により一致しないと判定されると、前記第2記憶手段に記憶された画素データと前記入力画素データとを比較する第2比較手段と、前記第1或は第2比較手段の比較により一致すると判定した画素データに対応する処理済み画素データを、対応する第1或は第2記憶手段より読み出して出力し、前記第1及び第2比較手段の比較のい

ずれでも一致しないと判定されると前記入力画素データを前記画像処理手段により処理して処理済み画素データとして出力するように制御する制御手段とを有することを特徴とする。

【0008】上記目的を達成するために本発明の画像処理方法は以下のような工程を備える。即ち、多値画像データを入力して画素単位に処理する画像処理方法であって、入力した多値画像の入力画素データと第1のキャッシュバッファに記憶された画素データとを比較する第1比較工程と、前記第1比較工程で一致しないと判定され

【0009】

【発明の実施の形態】以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【実施の形態1】図1は、本発明の実施の形態1に係る画像処理装置の構成を示すブロック図である。

【0010】本実施の形態の画像処理装置は、1ピクセルのキャッシュバッファ100、nピクセルのキャッシュバッファ101、画像データ比較部102、画像データ検索部103及び画像処理部104とを備えている。尚、画像データ比較部102に輸入される入力画像データは、1ピクセルが多値で表される多値画像データである。

【0011】キャッシュバッファ(1ピクセル)100は、元の(入力した)画素データ100aと、その画素データを画像処理部104により画像処理を施した画像処理後(処理済み)の画素データ100bとを対応付けて記憶している。一方、キャッシュバッファ(nピクセル)101は、元の画素データ群101aのそれぞれと、その画素データを画像処理部104により画像処理を施した画像処理後(処理済み)の画素データ群101bのそれぞれとを対応付けた組として記憶しており、こ

こでは1~nピクセル分(n組)記憶している。

【0012】画素データ比較部102は、入力画像データの画素データと、キャッシュバッファ(1ピクセル)100に記憶されている画素データ100aとを比較し、その比較により一致すると判断した場合(キャッシュヒット)には、そのキャッシュバッファ100に記憶されている、対応する画像処理後(処理済み)の画素データ100bを、その入力画像データの画素データに対応する出力画像データの画素データとして出力する。

【0013】一方、画素データ比較部102で比較した結果、画素データ100aと一致しない場合は、画素データ検索部103に入力画像データのその画素データを

【0014】画像データ検索部103は、入力画像データの画素データと等しい画素データが、キャッシュバッファ(nピクセル)101の画素データ群101aに記憶されているn組の画素データの中に存在するか検索を行う。このときの検索手法はどんな手法であっても良い。

【0015】この画素データ検索部103の検索結果により、入力画像データの画素データと等しい画素データがキャッシュバッファ(nピクセル)101の画素データ群101aに存在した場合(キャッシュヒット)、例えば、入力した画素データがキャッシュバッファ(nピクセル)101のi番目の画素データiと等しいとすると、その画素データiを画像処理部104により画像処理を施した画像処理後(処理済み)の画素データとして画素データi'を出力する。このとき、入力画像データの次の画素データの直前の画素データとなるこの画像データiと画像処理後の画像データi'の対を、キャッシュバッファ(1ピクセル)100に記憶する。

【0016】また、この画素データ検索部103における検索結果により、入力画像データの画素データと等しい画素データが、キャッシュバッファ101の画素データ群101aに存在しなかった場合は、その入力した画素データに対して画像処理部104により画像処理を施して、その画像処理後の画素データを求め、その画像処理後(処理済み)の画素データを出力画像データとして出力する。このとき、その入力画像データの画素データと、その入力画素データの画像処理後の画素データとを対にしてキャッシュバッファ(1ピクセル)100に記憶すると共に、同様にしてキャッシュバッファ(nピクセル)101にも記憶する。なお、この図1に示す画素データ比較部102、画素データ検索部103及び画像処理部104はハードウェアで構成されても、或はソフトウェアにより実現されても良い。

【0017】図2は、本実施の形態の画像処理装置のハードウェア構成を示すブロック図である。

【0018】201は、プログラムメモリ203に記憶された制御プログラムに従って装置全体の動作を制御す

るCPU、202は入力部で、例えばスキャナや画像ファイルなどから画像データを入力したり、或はLANや通信回線等を介して画像データを入力するとともに、キーボードやマウスなどの各種指示入力機器をも備えている。プログラムメモリ203は、CPU201により実行される図3のフローチャートで示す処理を実行する制御プログラムを格納している。この制御プログラムは、例えばCD-ROMやフロッピーディスクなどの記憶媒体207に記憶されたプログラムを外部記憶装置206にインストールし、それをプログラムメモリ203にロー

ードして実行されても良い。204はRAMで、CPU201による制御処理の実行時、ワークエリアとして使用され、各種データを一時的に保存している。205は出力部で、例えばディスプレイなどのモニタやプリンタなどの印刷機器を含んでいる。キャッシュバッファ100、101は図1に示すキャッシュバッファで、これらキャッシュバッファは例えばRAM204に設けられても良い。206はハードディスクなどの大容量メモリを備える外部記憶装置で、この外部記憶装置206は、本実施の形態の制御プログラムや各種アプリケーション・プログラム、更には本実施の形態のキャッシュ情報などを記憶していても良い。

【0019】次に、図3のフローチャートを参照して、入力画像データの各画素データに対する画像処理について説明する。尚、この処理を実行する制御プログラムは、その実行時にはプログラムメモリ203に記憶されている。

【0020】まずステップS1で、入力部202から画像データが入力されたかどうかを判定する。入力画像データが無い、或は、入力した画像データの最後の画素データに対する画像処理が既に終了している場合は、この処理を終了する。

【0021】入力画像データがある場合はステップS2に進み、キャッシュバッファ(1ピクセル)100及び画素データ比較部102により、入力画像データの画素データがキャッシュバッファ(1ピクセル)100でヒットする(一致する画素データ100aが存在する)かどうかの判定を行う。

【0022】キャッシュバッファ100でヒットした場合はステップS2からステップS3に進み、そのキャッシュバッファ100から、その入力画素データに対応する出力用(処理済み)の画素データ100bを読み出し、その画素データ100bを出力画像データとして出力してステップS1に戻り、入力画像データの次の画素データの処理を行う。

【0023】一方、ステップS2で、キャッシュバッファ100でヒットしなかった場合はステップS5に進み、キャッシュバッファ(nピクセル)101及び画素データ検索部103を用いて、入力画像データのその画素データがキャッシュバッファ(nピクセル)101で

ヒットするかどうかを判定する。このキャッシュバッファ101でヒットした場合(画素データ群101aに一致する画素データ有り)はステップS6に進み、キャッシュバッファ101から、その入力画素データに対応する処理済みの画素データを、画素データ群101bの中からロードする。次にステップS7に進み、入力画像データの画素データ(100a)と、それに対応する出力画素データ(100b)とを、キャッシュバッファ(1ピクセル)100に格納する。これにより、次に入力される画素データに対する直前の画素データとその画像処理後(処理済み)の画素データとして、画素データ100aと画素データ100bとがキャッシュバッファ100に格納されることになる。次にステップS8に進み、そのキャッシュヒットした(処理済み)画素データを出力画像データとして出力し、その後ステップS1に戻って、その入力画像データの次の画素データの処理を行う。

【0024】一方、ステップS5において、キャッシュバッファ(nピクセル)101でヒットしなかった場合はステップS9に進み、画像処理部104を用いて、その入力した画素データに対して画像処理を施し、出力用の画素データを求める。そしてステップS10に進み、その入力画像データの画素データと、出力(処理済み)画素データとを対応付けて、それぞれ画素データ100a及び画素データ100bとしてキャッシュバッファ(1ピクセル)100に格納する。これにより、キャッシュバッファ100に、次に入力される画素データの直前の画素データがキャッシングされたことになる。そしてステップS11に進み、その入力画素データと出力画素データとの組みがキャッシュバッファ(nピクセル)101に格納される。次にステップS12に進み、その画素データを出力画像データとして出力した後ステップS1に進み、入力画像データの次の画素データの処理を行う。

【0025】これらの一連の処理を、入力画像データの最後の画素データを処理するまで、ステップS1～ステップS12の処理を繰り返し実行する。

【0026】以上説明したように本実施の形態1によれば、例えば低解像度の画像データを入力して高解像度の画像データに変換した場合などのように、同じ値の画素データが複数連続して出現する場合だけでなく、同じ値の画素データが複数連続する場合が少ない高解像度の画像データに対して画像処理を施す場合にも、その入力した画像データの各画素に対する画像処理の回数を大幅に減少させることができる。これにより、入力した多値画像データの画像処理を高速にできるという効果がある。

【0027】【実施の形態2】次に本発明に係る実施の形態2について、図面を参照して詳細に説明する。

【0028】図4は、本実施の形態2における画像処理装置の構成を示すブロック図で、前述の図1と共通する

部分は同じ番号で示し、その説明を省略する。

【0029】この実施の形態2の画像処理装置は、キャッシュバッファ（1ピクセル）100、キャッシュバッファ（nピクセル）301、図1の画素データ比較部102と同じ構成の第1画素データ比較部302、検索キー算出部303、図1の画素データ検索部103と略同等の構成である第2画素データ比較部304及び画像処理部104を備えている。尚、これらの構成は、ハードウェアで実現されても、或は図2のハードウェア構成に基づいて、ソフトウェアにより実現されても良い。この場合のハードウェア構成は図2と同様であるので、その説明を省略する。

【0030】図4において、第1画像データ比較部302に入力される入力画像データの画素データは、1画素が多値データで表される多値画像データである。キャッシュバッファ（1ピクセル）100は、前述と同様に、元の（入力した）画素データ100aと、その画素データを画像処理部104により画像処理を施した画像処理後（処理済み）の画素データ100bとを対応付けて記憶している。キャッシュバッファ（nピクセル）301は、元の画素データを記憶している画素データ群301bと、その画素データを検索するための検索キー群301aと、その画素データを画像処理部305により画像処理を施した画像処理後（処理済み）の画素データ群301cとをそれぞれ対応付けた組として記憶しており、ここではn画素分（n組）記憶している。

【0031】第1画素データ比較部302は、入力画像データの画素データと、キャッシュバッファ（1ピクセル）100に記憶されている画素データ100aとを比較し、それらが一致した場合（キャッシュヒット）は、そのキャッシュバッファ（1ピクセル）100に記憶されている画像処理後（処理済み）の画素データ100bを出力画像データの画素データとして出力する。一方、これらが一致しない場合は、その入力画像データの画素データを検索キー算出部303に出力する。

【0032】検索キー算出部303は、キャッシュバッファ（nピクセル）301をサーチするための検索キーを、その入力した画素データを用いて算出する。このときの算出手法はどんな方法であっても良い。ここで、例えば、検索キー「i」が算出された場合、第2画素データ比較部304は、この検索キー「i」に対応する画素データiを、キャッシュバッファ（nピクセル）301の画素データ群301bから読み込み、この読み込んだ画素データiと入力した画素データとを比較し、それらが一致すると（キャッシュヒット）、その画素データiを画像処理部305により画像処理を施した画像処理後（処理済み）の画素データi'とし、出力画像データとして出力する。

【0033】このとき、その画素データiと画像処理後（処理済み）の画素データi'とを、それぞれ画素デー

タ100a、画素データ100bとしてキャッシュバッファ（1ピクセル）100に記憶する。これにより、次に入力される画素データの直前の画素データがキャッシュバッファ100に格納されたことになる。

【0034】また、第2画素データ比較部304の比較結果において、検索キー「i」により検索した画素データiと入力した画素データとが等しくなかった場合は、その入力した画素データを画像処理部305により画像処理を施した入力画像データの画像処理後（処理済み）の画素データを求め、その画素データを出力画像データとして出力する。このとき、そのときの入力画像データの画素データと、それを画像処理した後の画素データとを、それぞれキャッシュバッファ100の画素データ100aと処理済み画素データ100bとして記憶すると共に、キャッシュバッファ（nピクセル）301に、その検索キーとともにそれぞれ対応付けて記憶する。

【0035】図5は、本実施の形態2の画像処理装置における処理を示すフローチャートで、この処理を実行する制御プログラムは図2のプログラムメモリ203に記憶されて実行される。

【0036】このフローチャートで示す処理は前述した図3のフローチャートと略同様であるため、図3と異なる処理部分のみを説明する。

【0037】図2のステップS2に対応するステップS22で、キャッシュバッファ100でヒットしないと判断するとステップS25に進み、キャッシュバッファ（nピクセル）301をサーチするための検索キーを、その入力した画素データを用いて算出する。ここで検索キー「i」が算出されるとステップS26に進み、この検索キー「i」に対応する画素データiを、キャッシュバッファ（nピクセル）301の画素データ群301bから読み込み、この読み込んだ画素データiと入力した画素データとを比較し、それらが一致すると（キャッシュヒット）ステップS6に進み、その画素データiを画像処理部305により画像処理を施した画像処理後（処理済み）の画素データi'とし、それを出力画像データとして出力する（S24）とともに、図3のステップS8と同様にして、ステップS28でキャッシュバッファ100に格納する。

【0038】またステップS26で、検索キー「i」により検索した画素データiと入力した画素データとが等しくなかった場合は、その入力した画素データを画像処理部305により画像処理を施した入力画像データの画像処理後の画素データを求め（S29）、その画像処理した画素データを出力画像データとするとともに、そのときの入力画像データの画素データと、それを画像処理した後の画素データとを、ステップS11と同様にして、それぞれキャッシュバッファ100の画素データ100aと処理済み画素データ100bとして記憶する（S30）と共に、ステップS31で、キャッシュバッ

10

20

30

40

50

ファ（ n ピクセル）301に、その検索キー「 i 」とともにそれぞれ対応付けて格納する。

【0039】以上説明したように本実施の形態2によれば、例えば低解像度の画像データを高解像度の画像データに変換した場合のように、同じ画素データが複数連続して出現する場合だけでなく、同じ画素データが複数連続することが少ない高解像度の画像データに対して画像処理を施す場合にも、画像処理の回数を大幅に減らせることができ、これにより入力画像データに対する画像処理の高速化を図ることが可能となる。

【0040】なお、本発明は複数の機器（例えばホストコンピュータ、インターフェイス機器、リーダ、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用しても良い。

【0041】また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（またはCPUやMPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。

【0042】この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を達成することになる。

【0043】プログラムコードを供給するための記憶媒体としては、例えば、フロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、C D-R、磁気テープ、不揮発性のメモリカード、ROM等を用いることができる。

【0044】また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOS（オペレーティングシステム）などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0045】さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0046】以上説明したように本実施の形態によれ

ば、例えば低解像度の画像データを高解像度の画像データに変換したような、同じ画素データが複数連続して出現する画像データに対してだけでなく、同じ画素データが複数連続することが少ない高解像度の画像データに対して画像処理を施す場合にも、その画像処理の回数を大幅に減少させることができ、これにより画像処理の高速化を図ることが可能となる。

【0047】

【発明の効果】以上説明したように本発明によれば、同じ画素データが複数連続することが少ない画像データに対しても、高速に画像処理を行うことが可能になるという効果がある。

【0048】また本発明によれば、直前の画素データと、その画素データに対応する処理済み画素データとを対応付けて記憶し、更にそれ以前に一致した或は画像処理された画素データと処理済み画素データとを対応付けた複数組のデータとを記憶しておき、それら2種類の対応付けデータに基づいて、入力画素データに該当する処理済みデータを探すことにより、ヒット率を高めてより高速に画像処理を行うことができる。

【0049】また本発明によれば、更に、それ以前に一致した或は画像処理された画素データと処理済み画素データとを対応付けた複数組のデータを、その検索キーに対応付けて記憶しておくことにより、その検索に要する時間を短縮できるという効果がある。

【0050】

【図面の簡単な説明】

【図1】本発明の実施の形態1の画像処理装置の機能構成を示すブロック図である。

【図2】本実施の形態の画像処理装置の構成を示すブロック図である。

【図3】本実施の形態1の画像処理装置における画像処理手順を説明するフローチャートである。

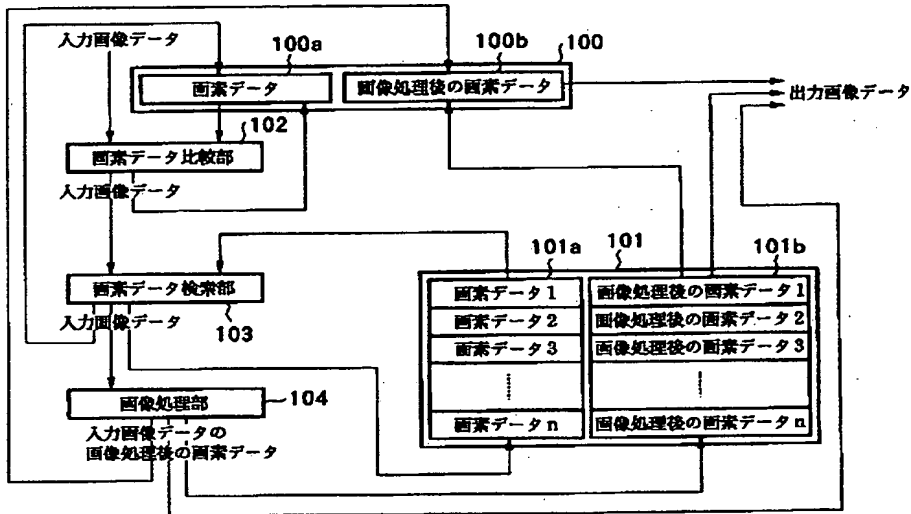
【図4】本発明の実施の形態2に係る画像処理装置の機能構成を示すブロック図である。

【図5】本実施の形態2の画像処理装置における画像処理手順を説明するフローチャートである。

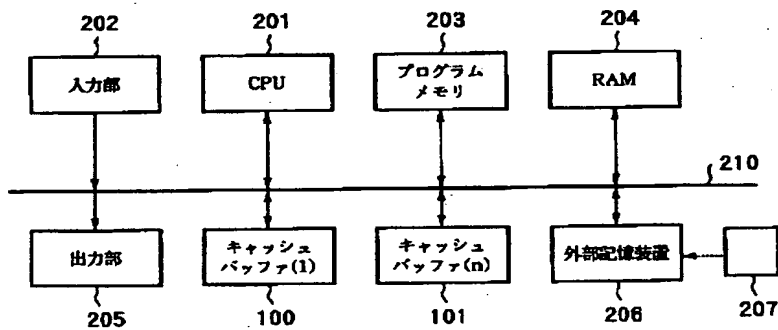
【符号の説明】

100	キャッシュバッファ（1ピクセル）
101, 301	キャッシュバッファ（ n ピクセル）
102	画素データ比較部
103	画素データ検索部
104	画像処理部
302	第1画素データ比較部
303	検索キー算出部
304	第2画素データ比較部

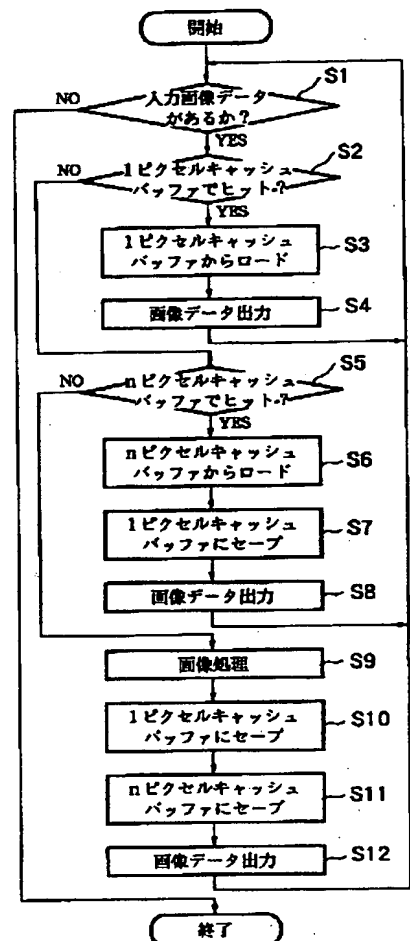
【図 1】



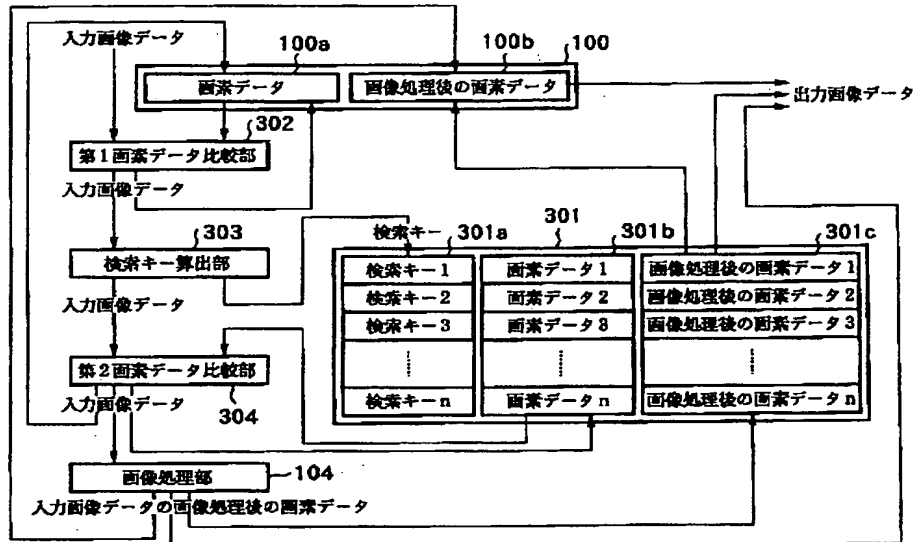
【図 2】



【図 3】



【図4】



【図5】

